

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-286125

(43)Date of publication of application : 12.10.2001.

(51)Int.Cl.

H02M 3/07

(21)Application number : 2001-009366

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 17.01.2001

(72)Inventor : NANO TAKAO

(30)Priority

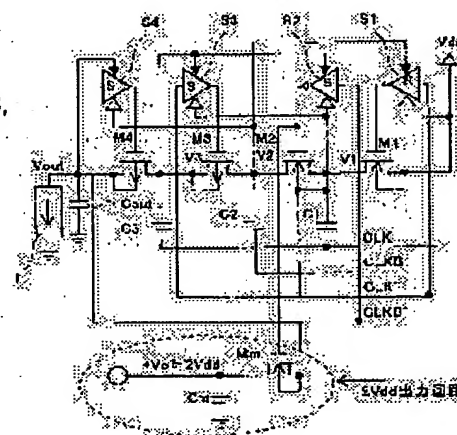
Priority number : 2000016442 Priority date : 26.01.2000 Priority country : JP

## (54) CHARGE-PUMP CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a charge-pump circuit having high efficiency and a large output current.

SOLUTION: Two front-stage MOS transistor M1, M2 for charge transmission are configured in a N-channel pattern, and two rear-stage MOS transistor M3, M4 for charge transmission in a P-channel pattern. Also, there are mounted inverting level-shift circuits S1, S2 enabling the output of an intermediate potential and non-inverting level-shift circuits S3, S4. By way of these configurations, the charge-pump circuit having high efficiency and a large output current is materialized as well as an inter-gate/source voltage  $V_{gs}$  (transistors in ON-state) of the transistors M1 to M4 for charge transmission is evened to  $2V_{dd}$ .



## LEGAL STATUS

[Date of request for examination]

11.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3475178

[Date of registration]

19.09.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The MOS transistor for a charge transfer of the individual (n+2) by which the series connection was carried out while predetermined input voltage was impressed to the charge transfer MOS transistor of the first rank, The coupling capacitor to which the end was connected at each node of said MOS transistor for a charge transfer, In the charge pump circuit which equips the other end of said coupling capacitor with the clock driver who supplies the clock pulse of opposition by turns, and outputs a forward pressure-up electrical potential difference from the latter MOS transistor for a charge transfer While constituting the MOS transistor for a charge transfer of the two latter parts from a P channel and constituting n residual MOS transistors for a charge transfer from an N channel mold The charge pump circuit characterized by establishing a circuit means to impress gate voltage from which the electrical potential difference between the gate sources serves as constant value when said MOS transistor for a charge transfer turns on.

[Claim 2] In a charge pump circuit according to claim 1 said circuit means The reversal level shift circuit which controls turning on and off of said N channel type of MOS transistor for a charge transfer according to said clock pulse, The noninverting level shift circuit which controls turning on and off of said P channel type of MOS transistor for a charge transfer according to said clock pulse, The charge pump circuit characterized by using the electrical potential difference of the node of the preceding paragraph as a power source by the side of the low voltage of said noninverting level shift circuit while using the electrical potential difference of the node of the latter part by which the pressure up was carried out as a power source by the side of the high potential of a preparation and said reversal level shift circuit.

[Claim 3] The charge pump circuit characterized by using the electrical potential difference of a node one step ago as a power source by the side of the low voltage of said noninverting level shift circuit in a charge pump circuit according to claim 2 while using the electrical potential difference of a node one step after as a power source by the side of the high potential of said reversal level shift circuit.

[Claim 4] The charge pump circuit characterized by outputting the pressure-up electrical potential difference of the MOS transistor for a charge transfer of an intermediate stage, and using as a power source of other circuits in a charge pump circuit according to claim 3.

[Claim 5] The charge pump circuit characterized by preventing the back flow of the current of said MOS transistor for a charge transfer by making the duty of the clock pulse supplied to the clock pulse supplied to said coupling capacitor, said reversal level shift circuit, and a noninverting level shift circuit in a charge pump circuit according to claim 3 differ.

[Claim 6] The MOS transistor for a charge transfer of the individual (n+2) by which the series connection was carried out while predetermined input voltage was impressed to the charge transfer MOS transistor of the first rank, The coupling capacitor to which the end was connected at each node of said MOS transistor for a charge transfer, In the charge pump circuit which equips the other end of said coupling capacitor with the clock driver who supplies the clock pulse of opposition by turns, and outputs a negative pressure-up electrical potential difference from the latter MOS transistor for a charge transfer While constituting the MOS transistor for a charge transfer of the two latter parts from an N channel and constituting n residual MOS transistors for a charge transfer from a P channel mold The charge pump circuit characterized by establishing a circuit means to impress gate voltage from which the electrical potential difference between the gate sources serves as constant value when said MOS transistor for a charge transfer turns on.

[Claim 7] In a charge pump circuit according to claim 6 said circuit means The reversal level shift circuit which controls turning on and off of said P channel type of MOS transistor for a charge transfer according to said clock pulse, The noninverting level shift circuit which controls turning on and off of said N channel type of MOS transistor for a charge transfer according to said clock pulse, The charge pump circuit characterized by using the electrical potential difference of the node of the preceding paragraph as a power source by the side of the high potential of said noninverting level shift circuit while using the electrical potential difference of the node of the

latter part by which the pressure up was carried out as a power source by the side of the low voltage of a preparation and said reversal level shift circuit.

[Claim 8] The charge pump circuit characterized by using the electrical potential difference of a node one step ago [ as a power source by the side of the high potential of said noninverting level shift circuit ] in a charge pump circuit according to claim 7 while using the electrical potential difference of a node one step after as a power source by the side of the low voltage of said reversal level shift circuit.

[Claim 9] The MOS transistor for a charge transfer of two or more same channel molds by which the series connection was carried out while input voltage was impressed to the charge transfer MOS transistor of the first rank, The coupling capacitor to which the end was connected at each node of said MOS transistor for a charge transfer, With the clock driver who supplies the clock pulse of opposition to the other end of said coupling capacitor by turns The charge pump circuit characterized by having the level shift circuit which supplies the electrical potential difference for making the gate of the MOS transistor for a charge transfer turn on and off the MOS transistor for a charge transfer concerned according to said clock pulse.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the charge pump circuit which enabled especially efficient and a high current output about the charge pump circuit used for a power circuit etc.

[0002]

[Description of the Prior Art] In order to incorporate the image, CCD (Charge Coupled Devices) is being used for visual equipments, such as a video camera in recent years, a digital still camera (DSC), and DSC. FON. the CCD drive circuit for driving CCD ~~the high voltage (about ten V) of plus and minus~~ and the power circuit of a high current (several mA) is needed. Current and this high voltage are generated using a switching regulator.

[0003] A switching regulator can generate the high voltage with high performance (output power/input power), i.e., high power efficiency. However, this circuit has the fault which generates a higher-harmonic noise at the time of switching of a current, and must shield and use a power circuit. Furthermore, a coil is needed as external components.

[0004] On the other hand, although a charge pump circuit can generate the high voltage in a small noise, it has the fault that power efficiency is worse than before, and this cannot be used for it as a power circuit of the pocket device which makes power efficiency the specification of the highest priority. Then, if the charge pump circuit of high performance is realizable, it can contribute to the miniaturization of a pocket device.

[0005] The Dixon (Dickson) charge pump circuit is known as conventional most fundamental charge pump circuit, and it is. This circuit is indicated in detail by for example, technical reference "John F. Dickson "On-chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-11, and NO. 3 pp. 374-378 JUNE 1976."

[0006] Drawing 11 is the outline circuit diagram showing four steps of Dixon charge pump circuits. Series connection of the five diodes is carried out in drawing 11. C is [ an output capacitance, and CLK and CLKB of joint capacity and CL ] the input clock pulses of opposition mutually. Moreover, 51 is a clock driver and 52 is a current load.

[0007] In a stable state, when constant current I<sub>out</sub> flows to an output, the input current to a charge pump circuit turns into a current from input voltage V<sub>in</sub>, and a current supplied from a clock driver. These currents are as follows when the charge and discharge current to parasitic capacitance is disregarded.  $\phi_1 = \text{Yes (High)}$ ,  $\phi_2 =$

the average current of  $2I_{out}(s)$  flows in the direction of a low (Low) period and the continuous-line arrow head in drawing. Moreover, a  $\phi_1 = \text{low (Low)}$  and  $\phi_2 = \text{The average current of } 2I_{out}(s) \text{ flows in the direction of the period of yes (High), and the broken-line arrow head of drawing. All of these average currents in a clock cycle are set to } I_{out} \text{. The pressure-up electrical potential difference } V_{out} \text{ of the charge pump circuit in a stable state is expressed as follows.}$

[0008]

[Equation 1]

[0009] Here,  $V_{phi}$  is a voltage swing produced with joint capacity with change of a clock pulse in each connection node. The voltage drop which produces  $V_1$  according to the output current  $I_{out}$ , and  $V_{in}$  are input voltage, and are usually set to 0V by supply voltage  $V_{dd}$  and the minus pressure up at the plus pressure up. Forward-bias diode voltage (Forward bias diode voltage)  $n$  of  $V_d$  is a pumping number of stages. Furthermore,  $V_1$   $V_{phi}$  is expressed with a degree type.

$$V_1 = \frac{I_{out}}{f(C+C_s)} = \frac{2I_{out} T/2}{C+C_s}$$

[0011]

[Equation 3]

[0012] Here, parasitic capacitance [ in / C, and / in CS / each connection node ] (stray capacitance at each node) and  $V_{phi}$  are [ the frequency of a clock pulse and T of the amplitude (clock pulse amplitude) of a clock pulse and f ] clock periods (clock period). [ clock joint capacity (clock coupling capacitance) ] When the power efficiency of a charge pump circuit disregards the charge and discharge current which flows from a clock driver to parasitic capacitance and makes it  $V_{in} = V_{dd}$ , it is expressed with the following formulas.

[0013]

[Equation 4]

[0014] Thus, it sets in a charge pump circuit and is a charge coupled device (charge transfer device) about diode. The pressure up is performed by using by carrying out and transmitting a charge to the next step one after another. However, considering loading to an MOS IC, it is easy to realize those who use an MOS transistor from the diode of pn junction from the compatibility to a process. Then, using an MOS transistor instead of diode as a component for a charge transfer was proposed. In this case, in a formula (1),  $V_d$  serves as the threshold voltage (threshold voltage)  $V_t$  of an MOS transistor.

[0015] Now, in order to lose the electrical-potential-difference loss for threshold voltage  $V_t$  (voltage loss) and to realize a high performance charge pump circuit, corresponding to the value of  $I_{out}$ , the impedance of the MOS transistor for a charge transfer must be lowered. For that purpose, it is effective to raise the electrical potential difference  $V_{gs}$  between the gate sources more than supply voltage  $V_{dd}$  at the same time it optimizes the channel width of the MOS transistor for a charge transfer. The charge pump circuit which realized this is indicated by for example, technical reference "Jieh-Tsong Wu" MOS Charge Pumps for Low-Voltage Operation" IEEE JOURNAL OF SOLID-STATE CIRCUITS.VOL.33, NO.4 APRIL 1998" at the detail.

[0016]

[Problem(s) to be Solved by the Invention] When this invention person examined the charge pump circuit of the above-mentioned technical reference, he found out the following troubles. The circuit diagram of one charge pump circuit carried by this reference is shown in drawing 12 . Among drawing, MD1-MD4 are the diodes for initialization of each pump node, and they do not contribute to pumping actuation. The description of this circuit is the point of having returned the electrical potential difference of the pumping node of the latter part which carried out the pressure up as an electrical potential difference  $V_{gs}$  between the gate sources of MOS transistors MS1-MS3 for a charge transfer, and having given  $2V_{dd}$ . However, about MOS transistor MS4 for a charge transfer of the last stage, it is difficult to give  $2V_{dd}(s)$  as  $V_{gs}$ , and cannot avoid that an electrical-potential-difference loss arises.

[0017] Other charge pump circuits carried by the above-mentioned reference are charge pump circuits of the

dynamic method shown in drawing 13 . In order that  $V_{gs}$  of MOS transistor MD4 may avoid  $V_{dd} + (V_{dd} - V_{th})$  and that  $V_{gs}$  of MOS transistor MD0 falls with  $(V_{dd} - V_{th})$  further, the high-voltage clock generation machine (High-voltage clock generator) of a bootstrap (boot-strap) method is used for this circuit. Moreover, all MOS transistors MS1-MS4 for a charge transfer consist of N channel molds.

[0018] When a current load is small, since the MOS transistor size for a charge transfer is small, namely, gate parasitic capacitance is small, this method is effective. However, in order to realize the charge pump circuit of a high current output, channel width of the MOS transistor for a charge transfer must be set to several  $\mu m$ , as a result, the gate parasitic capacitance of an MOS transistor serves as size (several pF), and it becomes most difficult to make the clock of  $2V_{dd}(s)$  with a bootstrap system. Moreover, there was a fault that the technique of impressing the electrical potential difference more than supply voltage  $V_{dd}$  had to be separately devised as an electrical potential difference  $V_{gs}$  between the gate sources of the latter MOS transistor for a charge transfer.

[0019] In view of the technical problem which solves the trouble of the above-mentioned conventional technique, it succeeds in this invention, it loses the electrical-potential-difference loss resulting from the threshold voltage  $V_t$  of the MOS transistor for a charge transfer, and aims at efficient and offering the charge pump circuit of a high power current. Moreover, this invention aims at making possible the optimum design of the MOS transistor for a charge transfer while it secures gate oxide pressure-proofing by setting the absolute value of the electrical potential difference  $V_{gs}$  between the gate sources of all the MOS transistors for a charge transfer to  $2V_{dd}(s)$ .

[0020]

[Means for Solving the Problem] During invention of this application, if the outline of a typical thing is explained, it will be as follows.

[0021] The MOS transistor for a charge transfer of the individual  $(n+2)$  to which the series connection of the 1st charge pump circuit was carried out while predetermined input voltage was impressed to the charge transfer MOS transistor of the first rank, The coupling capacitor to which the end was connected at each node of the MOS transistor for a charge transfer, In the charge pump circuit which equips the other end of a coupling capacitor with the clock driver who supplies the clock pulse of opposition by turns, and outputs a forward pressure-up electrical potential difference from the latter MOS transistor for a charge transfer While constituting the MOS transistor for a charge transfer of the two latter parts from a P channel and constituting  $n$  residual MOS transistors for a charge transfer from an N channel mold When the MOS transistor for a charge transfer turns on, a circuit means to impress gate voltage from which the electrical potential difference between the gate sources serves as constant value is established.

[0022] According to this means, the electrical-potential-difference loss resulting from the threshold voltage  $V_t$  of the MOS transistor for a charge transfer can be lost, and the charge pump circuit of efficient and a high power current can be offered. And while being stabilized and being able to secure gate oxide pressure-proofing by making the absolute value of the electrical potential difference  $V_{gs}$  between the gate sources of all the MOS transistors for a charge transfer into constant value (for example,  $2V_{dd}$ ), the optimum design of the MOS transistor for a charge transfer becomes possible.

[0023] The 2nd charge pump circuit is set in the 1st charge pump circuit. A circuit means The reversal level shift circuit which controls turning on and off of the MOS transistor for a charge transfer of an N channel mold according to a clock pulse, The noninverting level shift circuit which controls turning on and off of the MOS transistor for a charge transfer of a P channel mold according to a clock pulse, While using the electrical potential difference of the node of the latter part by which the pressure up was carried out as a power source by the side of the high potential of a preparation and a reversal level shift circuit, the electrical potential difference of the node of the preceding paragraph is used as a power source by the side of the low voltage of a noninverting level shift circuit.

[0024] While according to this means controlling turning on and off of the MOS transistor for a charge transfer by the reversal level shift circuit and the noninverting level shift circuit and making a pressure up possible by them, the electrical potential difference  $V_{gs}$  between the gate sources of all the MOS transistors for a charge transfer can be made into constant value.

[0025] In the 2nd charge pump circuit, the electrical potential difference of a node one step ago is used for it as a power source by the side of the low voltage of a noninverting level shift circuit while the electrical potential difference of a node one step after is used for the 3rd charge pump circuit as a power source by the side of the high potential of a reversal level shift circuit.

[0026] According to this means, the electrical potential difference  $V_{gs}$  between the gate sources of all the MOS transistors for a charge transfer can be set to  $2V_{dd}(s)$ .

[0027] In the 3rd charge pump circuit, the 4th charge pump circuit outputs the pressure-up electrical potential

difference of the MOS transistor for a charge transfer of an intermediate stage, and it is used for it as a power source of other circuits.

[0028] According to this means, the power circuit of other circuits which need the high voltage can be omitted, and the increase in efficiency of an integrated circuit on a design can be attained.

[0029] The 5th charge pump circuit prevents the reverse current of the MOS transistor for a charge transfer in the 3rd charge pump circuit by making the duty of the clock pulse supplied to the clock pulse and reversal level shift circuit which are supplied to a coupling capacitor, and a noninverting level shift circuit differ.

[0030] According to this means, the loss of power consumption can be prevented.

[0031]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained, referring to drawing 1 – drawing 9. Drawing 1 is the outline circuit diagram showing the three-step charge pump circuit concerning the 1st operation gestalt of this invention.

[0032] In drawing 1, series connection of four MOS transistors M1–M4 for a charge transfer is carried out. The point that M3 and M4 of an N channel mold and the latter part are a P channel mold as for M1 and M2 of the preceding paragraph is one description. The gate and the electrical potential difference  $V_{gb}$  between substrates of M1–M4 are connected so that it may become the same value as the electrical potential difference  $V_{gs}$  between the gate sources, and the source and a substrate may serve as this potential. Moreover, supply voltage  $V_{dd}$  is supplied to the source of M1 as input voltage  $V_{in}$ . Moreover, the pressure-up electrical potential difference  $V_{out}$  from the drain of M4 is outputted, and the current load  $L$  is supplied.

[0033] C1, C2, and C3 are the coupling capacitors to which the end was connected at the node (pumping node) of MOS transistors M1–M4 for a charge transfer. The clock pulse CLKB of a clock pulse CLK, this, and opposition is impressed to the other end of coupling capacitors C1–C3 by turns. A clock pulse CLK and CLKB are outputted from a non-illustrated clock driver. Supply voltage  $V_{dd}$  shall be supplied to this clock driver.

[0034] The output of the reversal level shift circuits S1 and S2 is supplied to each gate of MOS transistors M1 and M2 for a charge transfer. Moreover, the output of the noninverting level shift circuit S3 and S4 is supplied to each gate of MOS transistors M3 and M4 for a charge transfer.

[0035] The circuitry and the wave form chart of operation of the reversal level shift circuits S1 and S2 are shown in drawing 2. As shown in drawing 2 (a), this reversal level shift circuit is equipped with the input inverter INV, difference input MOS transistors M11 and M12, and MOS transistors M13 and M14 by which cross connection was made. The configuration so far is the same as that of the conventional level shift circuit.

[0036] This reversal level shift circuit is equipped with MOS transistors M15 and M16 by which pull-up connection was made in addition to these. And while an electrical potential difference  $V_{12}$  is impressed to the gate of MOS transistor M15, potential A is impressed to the source.

[0037] Moreover, while the electrical potential difference  $V_{11}$  of  $V_{12}$  and opposition is impressed to the gate of MOS transistor M16, potential B is impressed to the source. Here, it is the potential A > potential B. As for M11 and M12, an N channel mold, and M13–M16 are P channel molds.

[0038] Moreover, in the level shift circuit of an above-mentioned configuration, as shown in drawing 2 (b), you may change so that MOS transistors M15 and M16 may be considered as an inverter configuration.

[0039] The wave of the reversal level shift circuit of a configuration of having mentioned above of operation is shown in drawing 2 (c). The point that this level shift circuit outputs potential A and the middle potential B ( $A > B > 0V$ ) by turns to the conventional level shift circuit outputting a high (High) electrical potential difference and 0V is the description. By using this circuit, it becomes possible to arrange the absolute value of the electrical potential difference between gate drains of MOS transistors M1 and M2 for a charge transfer with a fixed electrical potential difference ( $2V_{dd}$ ) so that it may mention later.

[0040] Next, the circuitry and the wave form chart of operation of the noninverting level shift circuit S3 and S4 are shown in drawing 3. A different point from the reversal level shift circuits S1 and S2 is a point that an electrical potential difference  $V_{11}$  is impressed to the gate of MOS transistor M15 by which pull-up was carried out to potential A, and the electrical potential difference  $V_{12}$  is impressed to the gate of MOS transistor M16 by which pull-up was carried out to potential B (drawing 3 (a)). In addition, as shown in drawing 3 (b), MOS transistors M15 and M16 may be made an inverter configuration.

[0041] As shown in the wave form chart of drawing 3 (c) of operation, this noninverting level shift circuit S3 and S4 perform noninverting level shift actuation to input voltage  $V_{in}$ . By using this level shift circuit, it becomes possible to arrange the absolute value of the electrical potential difference between gate drains of MOS transistors M3 and M4 for a charge transfer with a fixed electrical potential difference ( $2V_{dd}$ ) so that it may mention later.

[0042] The connection relation between the reversal level shift circuits S1 and S2, the noninverting level shift circuit S3, and S4 and a charge pump circuit is as follows. Clock pulse CLKB' is inputted into clock pulse CLK' and the reversal level shift circuit S2 in the reversal level shift circuit S1. Although clock pulse CLK' and CLKB' are created from a clock pulse CLK and CLKB, respectively, in order to prevent that a current flows backwards to MOS transistors M1-M4 for a charge transfer, the low (Low) period is short. That is, after MOS transistors M1-M4 for a charge transfer turn off completely, change of a clock pulse CLK and CLKB is made to perform the pressure up of each pumping node. The phase relation of the above-mentioned clock pulse is shown in drawing 4.

[0043] Moreover, as a power source by the side of the high potential of the reversal level shift circuit S1 (potential A), it returns and the electrical potential difference V2 of the pumping node after [ one step of ] the pressure up was carried out is used as shown in drawing 1. It returns and the electrical potential difference V3 of the pumping node after [ one step of ] the pressure up was similarly carried out as a power source by the side of the high potential of the reversal level shift circuit S2 (potential A) is used. Moreover, as a power source by the side of the low voltage of the reversal level shift circuits S1 and S2 (potential B), Vdd which is the electrical potential difference of each stage, and V1 are impressed, respectively.

[0044] On the other hand, as a power source by the side of the low voltage of the noninverting level shift circuit S3 (potential B), the electrical potential difference V1 of the pumping node of one step ago is used, and the electrical potential difference V2 of the pumping node of one step ago is similarly used as a power source by the side of the low voltage of noninverting level shift circuit S4 (potential B). Moreover, as a power source by the side of the high potential of the reversal level shift circuits S1 and S2 (potential A), V3 and Vout which are the electrical potential difference of each stage are impressed, respectively.

[0045] It will be as follows if the description of the charge pump circuit by this operation gestalt mentioned above is summarized. MOS transistors M1 and M2 for a charge transfer of the two preceding paragraphs consist of.

[ 1st ] N channel molds, and MOS transistors M3 and M4 for a charge transfer of the two latter parts are points which consist of P channel molds. It is the point of having prepared the reversal level shift circuits S1 and S2 and the noninverting level shift circuit S3 which enabled the output of middle potential, and S4 in the 2nd.

[0046] By these configurations, arranging the electrical potential difference Vgs between the gate sources of the transistors M1-M4 for a charge transfer with 2Vdd as follows (when a transistor being an ON state) is drawn.

First, the relation of a degree type is realized.

The following relation consists of pressure-up actuation of  $V_{gs}(M1) = V2(High) - Vdd$ ,  $V_{gs}(M2) = V3(High) - V1(High)$ ,  $V_{gs}(M3) = V1(Low) - V3(Low)$ ,  $V_{gs}(M4) = V2(Low) - Vout$ , next the charge pump of a steady state further.

$V1(High) = 2Vdd$ ,  $V1(Low) = Vdd$ ,  $V2(High) = 3Vdd$ ,  $V2(Low) = 2Vdd$ ,  $V3(High) = 4Vdd$ ,  $V3(Low) = 3Vdd$ , and  $Vout = -4Vdd$ , the absolute value of Vgs at the time of ON of such relational expression to all the MOS transistors for a charge transfer is the same, as shown in Table 1 — being set to value 2Vdd is drawn. Therefore, the on resistance of MOS transistors M1-M4 for a charge transfer falls by high Vgs, it is efficient and the charge pump

circuit of a high power current can be realized. Moreover, since what is necessary is just to design the gate oxidation thickness (thickness of gate oxide) of MOS transistors M1-M4 for a charge transfer in the thickness 電荷転送用MOSトランジスタのゲート・ソース間電圧  $V_{gs}$ , Vgs of the MOS transistor for a charge transfer is  $v$ , and is efficient.

MOSFET	M1	M2	M3	M4
$V_{gs}$	$2V_{dd}$	$2V_{dd}$	$-2V_{dd}$	$-2V_{dd}$

[0048] Drawing 4 is a timing chart for explaining actuation of a charge pump circuit. MOS transistors M1-M4 for a charge transfer repeat turning on and off by turns according to a clock pulse. Here, as for clock pulse CLK' impressed to the reversal level shift circuits S1 and S2, the noninverting level shift circuit S3, and S4, and CLKB', duty differs. That is, as shown in drawing, the low (Low) period is set up short. For this reason, the period of ON of MOS transistors M1-M4 for a charge transfer becomes short. This reason is as follows.

[0049] Since diode connection is not made, MOS transistors M1-M4 for a charge transfer have risk of a reverse current flowing, and this worsens power efficiency. Then, in order to prevent this reverse current, the period of ON of MOS transistors M1-M4 for a charge transfer is shortened, changes the clock pulse CLK and CLKB which are impressed to coupling capacitors C1-C3 at an off period, and is performing the pumping.

[0050] Moreover, drawing 5 is drawing showing the voltage waveforms V1, V2, and V3 of each pumping node. The amplitude of clock pulse CLK' and CLKB' and  $\Delta V_d$  of  $V_{phi}$  are the electrical potential differences between source drains of an MOS transistor among drawing.

[0051] In addition, in drawing 1, the output circuit which takes out  $2V_{dd}(s)$  is prepared from the 2nd step of



charge transfer MOS transistor M2. This circuit consists of MOS transistors Mm and Capacitors Cm which were controlled by the reversal level shift circuit S2. Since the direct current voltage by which 2Vdd was stabilized is obtained according to this circuit, it is suitable as other circuits, for example, a power source of a clock driver.

[0052] As mentioned above, although the three-step charge pump circuit by the operation gestalt of this invention was explained, the number of stages is not limited to three steps. That is, the charge pump circuit of the number of stages of arbitration is realizable by constituting two steps of latter parts from a P channel mold, and constituting the remaining preceding paragraphs from an N channel mold as an MOS transistor for a charge transfer.

[0053] In addition, although it was shown that the absolute value of Vgs of the MOS transistor for a charge transfer can be arranged with 2Vdd(s) in an above-mentioned three-step charge pump circuit, it is also possible to set it as 3 or more Vdds as an absolute value of Vgs of the MOS transistor for a charge transfer in a multistage charge pump circuit.

[0054] For that purpose, what is necessary is to use the electrical potential difference of a latter connection node as a power source by the side of the high potential of the reversal level shift circuits S1 and S2, and just to use the electrical potential difference of a latter connection node as a power source by the side of the noninverting level shift circuit S3 and the high potential of S4. However, if a gate oxide proof pressure (breakdown voltage of gate oxide) is taken into consideration, absolute value 2Vdd is most suitable.

[0055] Next, the charge pump circuit concerning the 2nd operation gestalt of this invention is explained. Although the charge pump circuit mentioned above performs a plus pressure up, drawing 6 is the outline circuit diagram showing the two-step charge pump circuit which performs a minus pressure up (pressure up not more than 0V). This two-step charge pump circuit outputs the pressure-up electrical potential difference of -2Vdd, and is suitable for performing the pressure up of -6.5V.

[0056] In drawing 6, the combination of clock pulse CLK', CLKB', and a level shift circuit is changed. That is, the series connection of MOS transistor M1' for a charge transfer, M2', and M3' is carried out, and coupling-capacitor C1' and C2' are connected to the connection node. As for M1', touch-down potential (0V) is impressed to the source with the P channel mold. M2' and M3' are N channel molds.

[0057] Moreover, the output of reversal level shift circuit S1' is impressed to the gate of M1', and the output of noninverting level shift circuit S2' and S3' is impressed to the gate of M2' and M3'. And minus pressure-up electrical-potential-difference-Vout is outputted from the drain of MOS transistor M3' for a charge transfer, and the current load L is supplied.

[0058] Here, in order to set the electrical potential difference Vgs (at the time of ON) between the gate sources of MOS transistor M2' for a charge transfer to 2Vdd(s), the power source by the side of the high potential of noninverting level shift circuit S2' was set to Vdd. thereby -- all -- a charge -- a transfer -- \*\* -- an MOS transistor -- M -- one -- ' -- M -- two -- ' -- M -- three -- ' -- the gate -- the source -- between -- an electrical potential difference -- Vgs (at the time of ON) -- an absolute value -- 2Vdd(s) -- it can carry out.

[0059] In addition, it sets to drawing 6 and is from the 2nd step of charge transfer MOS transistor M2'. The output circuit which takes out Vdd is prepared. This circuit consists of MOS transistor Mm' and capacitor Cm' which were controlled by noninverting level shift circuit S2'. According to this circuit, since the direct current voltage by which -Vdd was stabilized is obtained, it can use for other circuits.

[0060] Drawing 7 is a timing chart for explaining actuation of the charge pump circuit of the above-mentioned configuration. a charge -- a transfer -- \*\* -- an MOS transistor -- M -- one -- ' -- M -- two -- ' -- M -- three -- ' -- the gate -- impressing -- having -- an electrical potential difference -- Vgs (M1) - Vgs (M3) -- M -- one -- ' -- M -- two -- ' -- M -- three -- ' -- alternation -- turning on and off -- repeating. Here, CLKB' has prevented the back flow of a current clock pulse CLK' and by shortening a low (Low) period. In addition, the voltage waveforms V1 and V2 of each pumping node were shown in drawing 8.

[0061] Next, the charge pump circuit concerning the 3rd operation gestalt of this invention is explained. Drawing 9 is the outline circuit diagram showing the three-step charge pump circuit which performs a minus pressure up. The configuration of this circuit reverses fundamentally the polarity of the component of the charge pump circuit shown in drawing 1. namely, -- the preceding paragraph -- two -- a step -- a charge -- a transfer -- \*\* -- an MOS transistor -- M -- one -- ' -- M -- two -- ' -- a P channel -- a mold -- the latter part -- two -- a step -- a charge -- a transfer -- \*\* -- an MOS transistor -- M -- three -- ' -- M -- four -- ' -- an N channel -- a mold -- constituting -- \*\*\*\*.

[0062] reversal -- a level shift -- a circuit -- S -- one -- ' -- low voltage -- a side -- a power source (potential B) -- \*\*\*\*\* -- a pressure up -- carrying out -- having had -- one -- a step -- the back -- a pumping -- a node -- an electrical potential difference -- V -- two -- ' -- returning -- using . the same -- reversal -- a level



shift — a circuit — S — two — ' — low voltage — a side — a power source (potential B) — a pressure up — carrying out — having had — one — a step — the back — a pumping — a node — an electrical potential difference — V — three — ' — returning — using . moreover — reversal — a level shift — a circuit — S — one — ' — S — two — ' — high — potential — a side — a power source (potential A) — \*\*\*\*\* — each — a stage — an electrical potential difference — it is —  $V_{ss} - V - one - ' -$  respectively — impressing — having — \*\*\*\*.

[0063] On the other hand, as a power source by the side of the high potential of noninverting level shift circuit S3' (potential A), electrical-potential-difference V1' of the pumping node of one step ago is used, and electrical-potential-difference V2' of the pumping node of one step ago is similarly used as a power source by the side of the high potential of noninverting level shift circuit S4' (potential A). moreover — reversal — a level shift — a circuit — S — three — ' — S4 — ' — low voltage — a side — a power source (potential B) — \*\*\*\*\* — each — a stage — an electrical potential difference — it is —  $V - three - ' - V_{out} -$  respectively — impressing — having — \*\*\*\*.

[0064] In addition, the configuration of reversal level shift circuit S1' and S2' is the same as that of what is shown in drawing 2, and the configuration of noninverting level shift circuit S3' and S4' is the same as that of what is shown in drawing 3. Moreover, since he can understand actuation of this charge pump circuit like actuation of the charge pump circuit of the already explained plus pressure up, detailed explanation is omitted.

[0065] According to the above-mentioned configuration, the absolute value of  $V_{gs}$  of all MOS transistor M1' for a charge transfer — M4' serves as identitas value  $2V_{dd}$ . Therefore, the on resistance of MOS transistor M1' for a charge transfer — M4' falls by high  $V_{gs}$ , it is efficient and the charge pump circuit of the minus pressure up of a high power current can be realized. Moreover, since what is necessary is just to design the gate oxidation thickness of MOS transistor M1' for a charge transfer — M4' in the thickness which bears  $2V_{dd}(s)$  uniformly, compared with the case where  $V_{gs}$  of the MOS transistor for a charge transfer is uneven, it can design on resistance low and is efficient.

[0066] As mentioned above, although the three-step charge pump circuit which performs a minus pressure up was explained, the number of stages is not limited to three steps. That is, the charge pump circuit which performs the minus pressure up of the number of stages of arbitration is realizable by constituting two steps of preceding paragraphs from a P channel mold, and constituting the remaining latter part from an N channel mold as an MOS transistor for a charge transfer.

[0067] Next, the charge pump circuit concerning the operation gestalt of 4 of this invention is explained. Drawing 10 is the outline circuit diagram showing the two-step charge pump circuit which performs a minus pressure up. A different point from the 2nd-step charge pump circuit concerning the 2nd operation gestalt shown in drawing 6 is the following two points.

- 1) MOS transistors M1, M2, and M3 for a charge transfer are N channel molds altogether.
- 2) Use  $V_{dd}$  or GND as ON state voltage (gate voltage at the time of ON) of the MOS transistor for a charge transfer. That is,  $V_{dd}$ ,  $V_{dd}$ , and GND are used, respectively as a power source by the side of the high potential of the noninverting level shift circuits S1, S2, and S3.

[0068] Therefore, in this charge pump circuit, it is set  $[1 / M]$  to  $2V_{dd}(s)$  about  $V_{dd}$ , M2, and M3 as  $V_{gs}$  at the time of ON of a charge transfer MOS transistor. Thus, unlike the 2nd-step charge pump circuit concerning the 2nd operation gestalt, in the charge pump circuit of this operation gestalt,  $V_{gs}$  at the time of ON of all charge transfer MOS transistors cannot be made into the same value.

[0069] However, since all charge transfer MOS transistors are formed with the same channel mold, the advantage which can simplify a manufacture process (manufacturing process) as compared with the 2nd operation gestalt is large. concrete — the 2nd operation gestalt — triple one — a well — according to this operation gestalt to structure (triple well structure) being indispensable — a twin — a well — since structure (twin well structure) is sufficient, the part manufacture man day can be lessened.

[0070]

[Effect of the Invention] According to this invention, since the high electrical potential difference more than threshold voltage can be impressed as an electrical potential difference  $V_{gs}$  between the gate sources of the MOS transistor for a charge transfer, an efficient charge pump circuit without an electrical-potential-difference loss can be offered.

[0071] Moreover, the on resistance of MOS transistors M1–M4 for a charge transfer falls with the high electrical potential difference  $V_{gs}$  between the gate sources of 2 or more  $V_{dd}$ s of absolute values, it is efficient and the charge pump circuit of a high power current can be realized.

[0072] Furthermore, what is necessary is just to design gate oxidation thickness in the thickness which bears

2Vdd(s) in an absolute value uniformly, since the electrical potential difference between the gate sources of the MOS transistor for a charge transfer, and the gate and the electrical potential difference between substrates can be arranged with a fixed electrical potential difference (they are 2Vdd(s) at an absolute value). Thereby, compared with the case where the electrical potential difference Vgs between the gate sources of the MOS transistor for a charge transfer is uneven, on resistance can be designed low.

[0073] Since according to this invention the charge pump circuit of a plus pressure up and a minus pressure up can be offered and the charge pump number of stages can moreover be set as arbitration further again, it becomes possible to obtain a desired pressure-up electrical potential difference.

---

[Translation done.]

#### **\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### **DESCRIPTION OF DRAWINGS**

##### **[Brief Description of the Drawings]**

**[Drawing 1]** It is the outline circuit diagram showing the charge pump circuit concerning the 1st operation gestalt of this invention.

**[Drawing 2]** It is drawing showing the configuration of a reversal level shift circuit, and a wave of operation.

**[Drawing 3]** It is drawing showing the configuration of a noninverting level shift circuit, and a wave of operation.

**[Drawing 4]** It is a timing chart for explaining actuation of the charge pump circuit concerning the 1st operation gestalt of this invention.

**[Drawing 5]** It is drawing showing the voltage waveform of each pumping node of the charge pump circuit concerning the 1st operation gestalt of this invention.

**[Drawing 6]** It is the outline circuit diagram showing the charge pump circuit concerning the 2nd operation gestalt of this invention.

**[Drawing 7]** It is a timing chart for explaining actuation of the charge pump circuit concerning the 2nd operation gestalt of this invention.

**[Drawing 8]** It is drawing showing the voltage waveform of each pumping node of the charge pump circuit concerning the 2nd operation gestalt of this invention.

**[Drawing 9]** It is the outline circuit diagram showing the charge pump circuit concerning the 3rd operation gestalt of this invention.

**[Drawing 10]** It is the outline circuit diagram showing the charge pump circuit concerning the 4th operation gestalt of this invention.

**[Drawing 11]** It is the circuit diagram showing the charge pump circuit concerning the conventional example.

**[Drawing 12]** It is the circuit diagram showing the charge pump circuit concerning the conventional example.

**[Drawing 13]** It is the circuit diagram showing the charge pump circuit concerning the conventional example.

##### **[Description of Notations]**

M1-M4 MOS transistor for a charge transfer

C1-C3 Coupling capacitor

Cout Output capacitor

L Current load

S1, S2 Reversal level shift circuit

S3, S4 Noninverting level shift circuit

CLK, CLKB Clock pulse

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-286125

(P2001-286125A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl.<sup>7</sup>

H 0 2 M 3/07

識別記号

F I

H 0 2 M 3/07

テーマコード(参考)

5 H 7 3 0

審査請求 未請求 請求項の数 9 OL (全 15 頁)

(21) 出願番号 特願2001-9366(P2001-9366)  
(22) 出願日 平成13年1月17日(2001. 1. 17)  
(31) 優先権主張番号 特願2000-16442(P2000-16442)  
(32) 優先日 平成12年1月26日(2000. 1. 26)  
(33) 優先権主張国 日本 (J P)

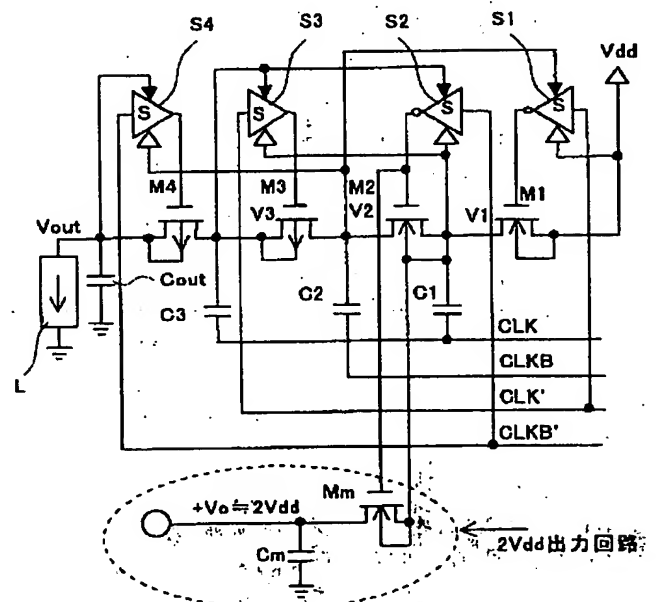
(71) 出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号  
(72) 発明者 名野 隆夫  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(74) 代理人 100111383  
弁理士 芝野 正雅  
Fターム(参考) 5H730 AA14 AS00 AS04 BB02 BB57  
BB86 DD04 DD26 EE65 FG01

(54) 【発明の名称】 チャージポンプ回路

(57) 【要約】

【課題】 高効率で大出力電流のチャージポンプ回路を提供する。

【解決手段】 前段2つの電荷転送用MOSトランジスタM1、M2をNチャネル型で構成し、後段2つの電荷転送用MOSトランジスタM3、M4をPチャネル型で構成する。また、中間電位の出力を可能にした反転レベルシフト回路S1とS2、非反転レベルシフト回路S3とS4を設けた。これらの構成により、高効率で大出力電流のチャージポンプ回路を実現できると共に電荷転送用トランジスタM1～M4のゲート・ソース間電圧 $V_{gs}$  (トランジスタがオン状態の時) を $2V_{dd}$ に揃えることができる。



(2)

## 【特許請求の範囲】

【請求項1】 初段の電荷転送MOSトランジスタに所定の入力電圧が印加されると共に直列接続された $(n+2)$ 個の電荷転送用MOSトランジスタと、前記電荷転送用MOSトランジスタの各接続点に一端が接続された結合コンデンサと、前記結合コンデンサの他端に交互に逆相のクロックパルスを供給するクロックドライバーとを備え、後段の電荷転送用MOSトランジスタから正の昇圧電圧を出力するチャージポンプ回路において、後段2個の電荷転送用MOSトランジスタをPチャネルで構成し残余の $n$ 個の電荷転送用MOSトランジスタをNチャネル型で構成すると共に、前記電荷転送用MOSトランジスタがオンする時にゲート・ソース間電圧が一定値となるようなゲート電圧を印加する回路手段を設けたことを特徴とするチャージポンプ回路。

【請求項2】 請求項1に記載のチャージポンプ回路において、前記回路手段は、前記クロックパルスに応じて前記Nチャネル型の電荷転送用MOSトランジスタのオンオフを制御する反転レベルシフト回路と、前記クロックパルスに応じて前記Pチャネル型の電荷転送用MOSトランジスタのオンオフを制御する非反転レベルシフト回路と、を備え、前記反転レベルシフト回路の高電位側の電源として昇圧された後段の接続点の電圧を用いると共に、前記非反転レベルシフト回路の低電位側の電源として前段の接続点の電圧を用いることを特徴とするチャージポンプ回路。

【請求項3】 請求項2に記載のチャージポンプ回路において、前記反転レベルシフト回路の高電位側の電源として1段後の接続点の電圧を用いると共に、前記非反転レベルシフト回路の低電位側の電源として1段前の接続点の電圧を用いることを特徴とするチャージポンプ回路。

【請求項4】 請求項3に記載のチャージポンプ回路において、中間段の電荷転送用MOSトランジスタの昇圧電圧を出力して他の回路の電源として用いることを特徴とするチャージポンプ回路。

【請求項5】 請求項3に記載のチャージポンプ回路において、前記結合コンデンサに供給されるクロックパルスと前記反転レベルシフト回路と非反転レベルシフト回路に供給されるクロックパルスのデューティを異ならしめることにより、前記電荷転送用MOSトランジスタの電流の逆流を防止したことを特徴とするチャージポンプ回路。

【請求項6】 初段の電荷転送MOSトランジスタに所定の入力電圧が印加されると共に直列接続された $(n+2)$ 個の電荷転送用MOSトランジスタと、前記電荷転送用MOSトランジスタの各接続点に一端が接続された結合コンデンサと、前記結合コンデンサの他端に交互に逆相のクロックパルスを供給するクロックドライバーと

を備え、後段の電荷転送用MOSトランジスタから負の昇圧電圧を出力するチャージポンプ回路において、後段2個の電荷転送用MOSトランジスタをNチャネルで構成し残余の $n$ 個の電荷転送用MOSトランジスタをPチャネル型で構成すると共に、前記電荷転送用MOSトランジスタがオンする時にゲート・ソース間電圧が一定値となるようなゲート電圧を印加する回路手段を設けたことを特徴とするチャージポンプ回路。

【請求項7】 請求項6に記載のチャージポンプ回路において、前記回路手段は、前記クロックパルスに応じて前記Pチャネル型の電荷転送用MOSトランジスタのオンオフを制御する反転レベルシフト回路と、前記クロックパルスに応じて前記Nチャネル型の電荷転送用MOSトランジスタのオンオフを制御する非反転レベルシフト回路と、を備え、前記反転レベルシフト回路の低電位側の電源としての昇圧された後段の接続点の電圧を用いると共に、前記非反転レベルシフト回路の高電位側の電源として前段の接続点の電圧を用いることを特徴とするチャージポンプ回路。

【請求項8】 請求項7に記載のチャージポンプ回路において、前記反転レベルシフト回路の低電位側の電源として1段後の接続点の電圧を用いると共に、前記非反転レベルシフト回路の高電位側の電源としての1段前の接続点の電圧を用いることを特徴とするチャージポンプ回路。

【請求項9】 初段の電荷転送MOSトランジスタに入力電圧が印加されると共に直列接続された複数の同一チャネル型の電荷転送用MOSトランジスタと、前記電荷転送用MOSトランジスタの各接続点に一端が接続された結合コンデンサと、前記結合コンデンサの他端に交互に逆相のクロックパルスを供給するクロックドライバーと、前記クロックパルスに応じて、電荷転送用MOSトランジスタのゲートに、当該電荷転送用MOSトランジスタをオンオフさせるための電圧を供給するレベルシフト回路を備えることを特徴とするチャージポンプ回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電源回路等に用いられるチャージポンプ回路に関し、特に高効率、大電流出力を可能としたチャージポンプ回路に関する。

【0002】

【従来の技術】 近年のビデオカメラ、デジタルスチールカメラ(DSC)、DSCフोन等映像機器は、その映像を取り込むためにCCD(Charge Coupled Devices)を使用している。CCDを駆動するためのCCD駆動回路は、プラス、マイナスの高電圧(十数V)で且つ大電流(数mA)の電源回路を必要とする。現在、この高電圧はスイッチングレギュレータを用いて生成している。

【0003】 スイッチングレギュレータは高性能、即ち

(3)

高い電力効率（出力電力／入力電力）にて、高電圧を生成することができる。しかし、この回路は電流のスイッチング時に高調波ノイズを発生する欠点があり、電源回路をシールドして用いなければならない。更に外部部品としてコイルを必要とする。

【0004】一方チャージポンプ回路は、小ノイズで高電圧を生成できるが、従来より電力効率が悪いという欠点があり、電力効率を最優先の仕様とする携帯機器の電源回路として、これを使用することはできない。そこで、高性能のチャージポンプ回路が実現できれば、携帯機器の小型化に貢献できる。

【0005】従来の最も基本的なチャージポンプ回路としてディクソン (Dickson) チャージポンプ回路が知られている。この回路は、例えば技術文献「John F. Dickson "On-chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-11, NO. 3 pp. 374-378. JUNE 1976.」に詳しく記載されている。

【0006】図11は4段のディクソン・チャージポンプ回路を示す概略回路図である。図1-1において5つのダイオードが直列接続されている。Cは結合容量、CLは出力容量、CLKとCLKBは互いに逆相の入力クロックパルスである。また、51はクロックドライバ、52は電流負荷である。

【0007】安定状態において、出力に定電流Ioutが流れる場合、チャージポンプ回路への入力電流は、入力電圧Vinからの電流とクロックドライバから供給される電流となる。これらの電流は、寄生容量への充放電電流を無視すると次のようになる。Φ1=ハイ (High)、Φ2=ロウ (Low) の期間、図中の実線矢印の方向に2Ioutの平均電流が流れる。また、Φ1=ロウ (Low)、Φ2=ハイ (High) の期間、図の破線矢印の方向に2Ioutの平均電流が流れる。クロックサイクルでのこれらの平均電流は全てIoutとなる。安定状態におけるチャージポンプ回路の昇圧電圧Voutは以下のように表わされる。

【0008】

【数1】

$$V_{out} = V_{in} - V_d + n(V_{\phi}' - V_1 - V_d)$$

【0009】ここで、V<sub>φ</sub>'は各接続ノードにおいて、クロックパルスの変化に伴い結合容量によって生じる電圧振幅である。V<sub>1</sub>は出力電流Ioutによって生じる電圧降下、Vinは入力電圧であり、通常プラス昇圧では電源電圧V<sub>dd</sub>、マイナス昇圧では0Vとしている。V<sub>d</sub>は順方向バイアスダイオード電圧 (Forward bias diode voltage) nはポンピング段数である。更に、V<sub>1</sub>とV<sub>φ</sub>'は次式で表される。

【0010】

【数2】

$$V_1 = \frac{I_{out}}{f(C+C_s)} = \frac{2I_{out} T/2}{C+C_s}$$

【0011】

【数3】

$$V_{\phi}' = V_{\phi} \frac{C}{C+C_s}$$

【0012】ここで、Cはクロック結合容量 (clock coupling capacitance)、C<sub>s</sub>は各接続ノードにおける寄生容量 (stray capacitance at each node)、V<sub>φ</sub>はクロックパルスの振幅 (clock pulse amplitude)、fはクロックパルスの周波数、Tはクロック周期 (clock period) である。チャージポンプ回路の電力効率は、クロックドライバから寄生容量に流れる充放電電流を無視し、V<sub>in</sub>=V<sub>dd</sub>とすると以下の式で表される。

【0013】

【数4】

$$\eta = \frac{V_{out} I_{out}}{(n+1) V_{dd} I_{out}} = \frac{V_{out}}{(n+1) V_{dd}}$$

【0014】このように、チャージポンプ回路においては、ダイオードを電荷転送素子 (charge transfer device) として用いて電荷を次段へと次々に転送することにより昇圧を行っている。しかし、MOS集積回路への搭載を考えるとプロセスへの適合性からpn接合のダイオードよりMOSトランジスタを使用する方が実現しやすい。そこで、電荷転送用素子としてダイオードの代わりにMOSトランジスタを用いることが提案された。この場合は式(1)において、V<sub>d</sub>はMOSトランジスタの閾値電圧 (threshold voltage) V<sub>t</sub>となる。

【0015】さて、閾値電圧V<sub>t</sub>分の電圧ロス (voltage loss) を無くし、高性能チャージポンプ回路を実現するには、Ioutの値に対応して電荷転送用MOSトランジスタのインピーダンスを下げねばならない。そのためには、電荷転送用MOSトランジスタのチャネル幅を最適化すると同時に、そのゲート・ソース間電圧V<sub>gs</sub>を電源電圧V<sub>dd</sub>以上に上げることが効果的である。これを実現したチャージポンプ回路は例えば、技術文献「Jieh-Tsorng Wu: "MOS Charge Pumps for Low-Voltage Operation" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 4 APRIL 1998」に詳細に記載されている。

【0016】

【発明が解決しようとする課題】本発明者は上記技術文献のチャージポンプ回路を検討したところ、以下の問題点を見出した。同文献に掲載された1つのチャージポンプ回路の回路図を図1-2に示す。図中、MD1～MD4は各ポンプノードの初期設定用のダイオードでありポンピング動作には寄与しない。この回路の特徴は電荷転送用MOSトランジスタMS1～MS3のゲート・ソース、

(4)

5

間電圧 $V_{gs}$ として昇圧した後段のポンピングノードの電圧を戻して、 $2V_{dd}$ を与えている点である。しかし、最終段の電荷転送用MOSトランジスタMS4については $V_{gs}$ として $2V_{dd}$ を与えるのが困難であり、電圧ロスが生じるのを避けられない。

【0017】上記文献に掲載された他のチャージポンプ回路は図13に示すダイナミック方式のチャージポンプ回路である。この回路は、MOSトランジスタMD4の $V_{gs}$ が $V_{dd} + (V_{dd} - V_{th})$ 、更にMOSトランジスタMD0の $V_{gs}$ が $(V_{dd} - V_{th})$ と低下するのを回避するためにブートストラップ(boot-strap)方式の高電圧クロック発生器(High-voltage clock generator)を用いている。また、全ての電荷転送用MOSトランジスタMS1～MS4はNチャネル型で構成されている。

【0018】この方式は電流負荷が小さいときには、電荷転送用MOSトランジスタサイズが小さく、即ちゲート寄生容量が小さいので効果的である。しかし大電流出力のチャージポンプ回路を実現するためには、電荷転送用MOSトランジスタのチャネル幅を数mmとしなければならず、この結果MOSトランジスタのゲート寄生容量が大(数pF)となり、ブートストラップ方式により $2V_{dd}$ のクロックを作ることが至難となる。また、後段の電荷転送用MOSトランジスタのゲート・ソース間電圧 $V_{gs}$ として、電源電圧 $V_{dd}$ 以上の電圧を印加する手法を別途考案しなければならないという欠点があった。

【0019】本発明は上記従来技術の問題点を解決する課題に鑑みて為されたものであり、電荷転送用MOSトランジスタの閾値電圧 $V_t$ に起因する電圧ロスを無くして高効率かつ大出力電流のチャージポンプ回路を提供することを目的とする。また、本発明は全ての電荷転送用MOSトランジスタのゲートソース間電圧 $V_{gs}$ の絶対値を $2V_{dd}$ とすることによりゲート酸化膜耐圧を確保すると共に電荷転送用MOSトランジスタの最適設計を可能にすることを目的とする。

【0020】

【課題を解決するための手段】本願の発明中、代表的なものの概要を説明すれば、以下のとおりである。

【0021】第1のチャージポンプ回路は、初段の電荷転送MOSトランジスタに所定の入力電圧が印加されると共に直列接続された $(n+2)$ 個の電荷転送用MOSトランジスタと、電荷転送用MOSトランジスタの各接続点に一端が接続された結合コンデンサと、結合コンデンサの他端に交互に逆相のクロックパルスを供給するクロックドライバとを備え、後段の電荷転送用MOSトランジスタから正の昇圧電圧を出力するチャージポンプ回路において、後段2個の電荷転送用MOSトランジスタをPチャネルで構成し残余の $n$ 個の電荷転送用MOSトランジスタをNチャネル型で構成すると共に、電荷転

6

送用MOSトランジスタがオンする時にゲート・ソース間電圧が一定値となるようなゲート電圧を印加する回路手段を設けたものである。

【0022】かかる手段によれば、電荷転送用MOSトランジスタの閾値電圧 $V_t$ に起因する電圧ロスを無くして高効率かつ大出力電流のチャージポンプ回路を提供することができる。しかも、全ての電荷転送用MOSトランジスタのゲートソース間電圧 $V_{gs}$ の絶対値を一定値(例えば、 $2V_{dd}$ )とすることによりゲート酸化膜耐圧を安定して確保することができると共に電荷転送用MOSトランジスタの最適設計が可能になる。

【0023】第2のチャージポンプ回路は、第1のチャージポンプ回路において、回路手段は、クロックパルスに応じてNチャネル型の電荷転送用MOSトランジスタのオンオフを制御する反転レベルシフト回路と、クロックパルスに応じてPチャネル型の電荷転送用MOSトランジスタのオンオフを制御する非反転レベルシフト回路と、を備え、反転レベルシフト回路の高電位側の電源として昇圧された後段の接続点の電圧を用いると共に、非反転レベルシフト回路の低電位側の電源として前段の接続点の電圧を用いるものである。

【0024】かかる手段によれば、反転レベルシフト回路と非反転レベルシフト回路とにより、電荷転送用MOSトランジスタのオンオフを制御して昇圧を可能にすると共に、全ての電荷転送用MOSトランジスタのゲートソース間電圧 $V_{gs}$ を一定値にすることができる。

【0025】第3のチャージポンプ回路は、第2のチャージポンプ回路において、反転レベルシフト回路の高電位側の電源として1段後の接続点の電圧を用いると共に、非反転レベルシフト回路の低電位側の電源として1段前の接続点の電圧を用いるものである。

【0026】かかる手段によれば、全ての電荷転送用MOSトランジスタのゲートソース間電圧 $V_{gs}$ を $2V_{dd}$ とすることができる。

【0027】第4のチャージポンプ回路は、第3のチャージポンプ回路において、中間段の電荷転送用MOSトランジスタの昇圧電圧を出力して他の回路の電源として用いるものである。

【0028】かかる手段によれば、高電圧を必要とする他の回路の電源回路を省略することができ、集積回路の設計上効率化が図れる。

【0029】第5のチャージポンプ回路は第3のチャージポンプ回路において、結合コンデンサに供給されるクロックパルスと反転レベルシフト回路と非反転レベルシフト回路に供給されるクロックパルスのデューティを異ならしめることにより、電荷転送用MOSトランジスタの逆方向電流を防止したものである。

【0030】かかる手段によれば、消費電力のロスを防止できる。

【0031】



(5)

7

【発明の実施の形態】以下、本発明の実施形態について、図1～図9を参照しながら説明する。図1は、本発明の第1の実施形態に係る3段チャージポンプ回路を示す概略回路図である。

【0032】図1において、4つの電荷転送用MOSトランジスタM1～M4は直列接続されている。前段のM1、M2はNチャネル型、後段のM3、M4はPチャネル型である点が1つの特徴である。M1～M4のゲート・基板間電圧 $V_{gb}$ はゲート・ソース間電圧 $V_{gs}$ と同一値となるように、ソースと基板が同電位となるように接続されている。また、M1のソースには入力電圧 $V_{in}$ として電源電圧 $V_{dd}$ が供給されている。また、M4のドレインからの昇圧電圧 $V_{out}$ が出力され、電流負荷 $L$ に供給される。

【0033】C1、C2、C3は電荷転送用MOSトランジスタM1～M4の接続点（ポンピングノード）に一端が接続された結合コンデンサである。結合コンデンサC1～C3の他端にはクロックパルスCLKとこれと逆相のクロックパルスCLKBが交互に印加される。クロックパルスCLK、CLKBは不図示のクロックドライバから出力される。このクロックドライバには電源電圧 $V_{dd}$ が供給されているものとする。

【0034】電荷転送用MOSトランジスタM1とM2の各ゲートには反転レベルシフト回路S1とS2の出力が供給されている。また、電荷転送用MOSトランジスタM3とM4の各ゲートには非反転レベルシフト回路S3とS4の出力が供給されている。

【0035】反転レベルシフト回路S1、S2の回路構成及び動作波形図を図2に示す。図2(a)に示すように、この反転レベルシフト回路は入力インバータIN、差動入力MOSトランジスタM11とM12、クロス接続されたMOSトランジスタM13とM14とを備える。ここまでの構成は従来のレベルシフト回路と同様である。

【0036】この反転レベルシフト回路は、これらに加えてプルアップ接続されたMOSトランジスタM15、M16を備えている。そして、MOSトランジスタM15のゲートには電圧 $V_{12}$ が印加されると共にソースには電位Aが印加されている。

【0037】また、MOSトランジスタM16のゲートには $V_{12}$ と逆相の電圧 $V_{11}$ が印加されると共にソースには電位Bが印加されている。ここで、電位A>電位Bである。M11、M12はNチャネル型、M13～M16はPチャネル型である。

【0038】また、図2(b)に示すように、上述の構成のレベルシフト回路において、MOSトランジスタM15、M16をインバータ構成とするように変更してもよい。

【0039】上述した構成の反転レベルシフト回路の動作波形を図2(c)に示す。従来のレベルシフト回路が、

8

ハイ(High)電圧と0Vを出力するのに対して、このレベルシフト回路は電位Aと中間電位B( $A > B > 0V$ )を交互に出力する点が特徴である。この回路を用いることにより、後述するように、電荷転送用MOSトランジスタM1、M2のゲート・ドレイン間電圧の絶対値を一定電圧( $2V_{dd}$ )に揃えることが可能になる。

【0040】次に、非反転レベルシフト回路S3、S4の回路構成及び動作波形図を図3に示す。反転レベルシフト回路S1、S2と異なる点は、電位AにプルアップされたMOSトランジスタM15のゲートに電圧 $V_{11}$ が印加され、電位BにプルアップされたMOSトランジスタM16のゲートに電圧 $V_{12}$ が印加されている点である(図3(a))。なお、図3(b)に示すように、MOSトランジスタM15、M16をインバータ構成にしてもよい。

【0041】図3(c)の動作波形図に示すように、この非反転レベルシフト回路S3、S4は入力電圧INに対して非反転のレベルシフト動作を行う。このレベルシフト回路を用いることにより、後述するように、電荷転送用MOSトランジスタM3、M4のゲート・ドレイン間電圧の絶対値を一定電圧( $2V_{dd}$ )に揃えることが可能になる。

【0042】反転レベルシフト回路S1、S2、非反転レベルシフト回路S3、S4とチャージポンプ回路との接続関係は以下の通りである。反転レベルシフト回路S1にはクロックパルスCLK'、反転レベルシフト回路S2にはクロックパルスCLKB'が入力される。クロックパルスCLK'とCLKB'は夫々クロックパルスCLKとCLKBから作成されるが、電荷転送用MOSトランジスタM1～M4に電流が逆流するのを防止するために、ロウ(Low)の期間が短くなっている。すなわち、電荷転送用MOSトランジスタM1～M4が完全にオフしてからクロックパルスCLKとCLKBの変化により各ポンピングノードの昇圧を行うようにしている。上記クロックパルスの位相関係は図4に示されている。

【0043】また、図1に示されているように、反転レベルシフト回路S1の高電位側の電源(電位A)としては、昇圧された1段後のポンピングノードの電圧 $V_2$ を帰還して用いる。同様に反転レベルシフト回路S2の高電位側の電源(電位A)として昇圧された1段後のポンピングノードの電圧 $V_3$ を帰還して用いる。また、反転レベルシフト回路S1、S2の低電位側の電源(電位B)としては、各段の電圧である $V_{dd}$ 、 $V_1$ が夫々印加されている。

【0044】一方、非反転レベルシフト回路S3の低電位側の電源(電位B)としては、1段前のポンピングノードの電圧 $V_{-1}$ が用いられ、同様に非反転レベルシフト回路S4の低電位側の電源(電位B)としては、1段前のポンピングノードの電圧 $V_2$ が用いられる。また、反

(6)

9

転レベルシフト回路 S 1、S 2 の高電位側の電源（電位 A）としては、各段の電圧である  $V_3$ 、 $V_{out}$  が夫々印加されている。

【0045】上述した本実施形態によるチャージポンプ回路の特徴を要約すれば以下の通りである。第 1 に、前段 2 つの電荷転送用 MOS トランジスタ M 1、M 2 は N チャネル型で構成され、後段 2 つの電荷転送用 MOS トランジスタ M 3、M 4 は P チャネル型で構成されている点である。第 2 に中間電位の出力を可能にした反転レベルシフト回路 S 1 と S 2、非反転レベルシフト回路 S 3 と S 4 を設けた点である。

【0046】これらの構成により、電荷転送用トランジスタ M 1 ~ M 4 のゲート・ソース間電圧  $V_{gs}$ （トランジスタがオン状態の時）は以下のとおり  $2V_{dd}$  に揃えることが導かれる。まず、次式の関係が成り立つ。

$$V_{gs}(M1) = V_2(\text{High}) - V_{dd}$$

$$V_{gs}(M2) = V_3(\text{High}) - V_1(\text{High})$$

$$V_{gs}(M3) = V_1(\text{Low}) - V_3(\text{Low})$$

$$V_{gs}(M4) = V_2(\text{Low}) - V_{out}$$

\*

【表 1】

電荷転送用 MOS トランジスタのゲート・ソース間電圧  $V_{gs}$ 

MOSFET	M1	M2	M3	M4
$V_{gs}$	$2V_{dd}$	$2V_{dd}$	$-2V_{dd}$	$-2V_{dd}$

【0048】図 4 はチャージポンプ回路の動作を説明するためのタイミング図である。電荷転送用 MOS トランジスタ M 1 ~ M 4 はクロックパルスに応じて交互にオン・オフを繰り返す。ここで、反転レベルシフト回路 S 1 と S 2、非反転レベルシフト回路 S 3 と S 4 に印加されるクロックパルス  $CLK'$ 、 $CLKB'$  はデューティが異なる。すなわち、図に示すようにロウ (Low) の期間が短く設定されている。このため、電荷転送用 MOS トランジスタ M 1 ~ M 4 のオンの期間は短くなる。この理由は以下の通りである。

【0049】電荷転送用 MOS トランジスタ M 1 ~ M 4 はダイオード接続されていないので逆方向電流が流れる危険があり、これは電力効率を悪化させる。そこで、この逆方向電流を防ぐため、電荷転送用 MOS トランジスタ M 1 ~ M 4 のオンの期間は短くして、オフの期間に、結合コンデンサ C 1 ~ C 3 に印加されるクロックパルス  $CLK$ 、 $CLKB$  を変化させてポンピングを行っている。

【0050】また、図 5 は各ポンピングノードの電圧波形  $V_1$ 、 $V_2$ 、 $V_3$  を示す図である。図中、 $V_{\phi}$  はクロックパルス  $CLK'$ 、 $CLKB'$  の振幅、 $\Delta V_{ds}$  は MOS トランジスタのソースドレイン間電圧である。

【0051】なお、図 1 において、2 段目の電荷転送 MOS トランジスタ M 2 から  $2V_{dd}$  を取り出す出力回路が設けられている。この回路は反転レベルシフト回路 S 2 によって制御された MOS トランジスタ M m とコンデ

10

\* 次に、定常状態のチャージポンプの昇圧動作から、さらに以下の関係が成り立つ。

$$V_1(\text{High}) = 2V_{dd}, V_1(\text{Low}) = V_{dd}$$

$$V_2(\text{High}) = 3V_{dd}, V_2(\text{Low}) = 2V_{dd}$$

$$V_3(\text{High}) = 4V_{dd}, V_3(\text{Low}) = 3V_{dd}, V_{out} = 4V_{dd}$$

これらの関係式から、全ての電荷転送用 MOS トランジスタのオン時の  $V_{gs}$  の絶対値は表 1 に示すように同一値  $2V_{dd}$  となることが導かれる。したがって、高い  $V_{gs}$  により電荷転送用 MOS トランジスタ M 1 ~ M 4 のオン抵抗が下がり、高効率で大出力電流のチャージポンプ回路が実現できる。また、電荷転送用 MOS トランジスタ M 1 ~ M 4 のゲート酸化膜厚 (thickness of gate oxide) は一律に  $2V_{dd}$  に耐える厚みに設計すれば良いので、電荷転送用 MOS トランジスタの  $V_{gs}$  が不均一である場合に比べて、オン抵抗 (ON-state resistance) を低く設計でき効率が良い。

【0047】

ンサ  $C_m$  から構成されている。この回路によれば、 $2V_{dd}$  の安定した直流電圧が得られるので、他の回路、例えばクロックドライバの電源として好適である。

【0052】以上、本発明の実施形態による 3 段チャージポンプ回路について説明したが、その段数は 3 段に限定されることはない。すなわち、電荷転送用 MOS トランジスタとして後段 2 段を P チャネル型、残りの前段を N チャネル型で構成することにより任意の段数のチャージポンプ回路を実現することができる。

【0053】なお、上述の 3 段チャージポンプ回路においては電荷転送用 MOS トランジスタの  $V_{gs}$  の絶対値を  $2V_{dd}$  に揃えることができることを示したが、多段チャージポンプ回路においては電荷転送用 MOS トランジスタの  $V_{gs}$  の絶対値として、 $3V_{dd}$  以上に設定することも可能である。

【0054】そのためには、反転レベルシフト回路 S 1、S 2 の高電位側の電源としてより後段の接続ノードの電圧を利用し、非反転レベルシフト回路 S 3、S 4 の高電位側の電源としてより後段の接続ノードの電圧を利用すれば良い。ただし、ゲート酸化膜耐圧 (breakdown voltage of gate oxide) を考慮すれば絶対値  $2V_{dd}$  が最も適している。

【0055】次に本発明の第 2 の実施形態に係るチャージポンプ回路を説明する。上述したチャージポンプ回路はプラス昇圧を行うものであるが、図 6 はマイナス昇圧 ( $0V$  以下の昇圧) を行う 2 段チャージポンプ回路を示

(7)

11

す概略回路図である。この2段チャージポンプ回路は、 $-2V_{dd}$ の昇圧電圧を出力するものであり、例えば $-6.5V$ の昇圧を行うのに適している。

【0056】図6において、クロックパルス $CLK'$ 、 $CLKB'$ とレベルシフト回路の組み合わせを変更している。すなわち、電荷転送用MOSトランジスタ $M1'$ 、 $M2'$ 、 $M3'$ が直列接続され、その接続ノードに結合コンデンサ $C1'$ 、 $C2'$ が接続されている。 $M1'$ はPチャネル型でソースに接地電位(0V)が印加されている。 $M2'$ 、 $M3'$ はNチャネル型である。

【0057】また、 $M1'$ のゲートには反転レベルシフト回路 $S1'$ の出力が印加され、 $M2'$ 、 $M3'$ のゲートには非反転レベルシフト回路 $S2'$ 、 $S3'$ の出力が印加されている。そして、電荷転送用MOSトランジスタ $M3'$ のドレインからマイナス昇圧電圧 $-V_{out}$ が出力され、電流負荷 $L$ に供給される。

【0058】ここで、電荷転送用MOSトランジスタ $M2'$ のゲート・ソース間電圧 $V_{gs}$ (オン時)を $2V_{dd}$ とするために、非反転レベルシフト回路 $S2'$ の高電位側の電源を $V_{dd}$ とした。これにより、全ての電荷転送用MOSトランジスタ $M1'$ 、 $M2'$ 、 $M3'$ のゲート・ソース間電圧 $V_{gs}$ (オン時)の絶対値を $2V_{dd}$ とすることができる。

【0059】なお、図6において、2段目の電荷転送MOSトランジスタ $M2'$ から $-V_{dd}$ を取り出す出力回路が設けられている。この回路は非反転レベルシフト回路 $S2'$ によって制御されたMOSトランジスタ $Mm'$ とコンデンサ $Cm'$ から構成されている。この回路によれば、 $-V_{dd}$ の安定した直流電圧が得られるので他の回路に用いることができる。

【0060】図7は上記構成のチャージポンプ回路の動作を説明するためのタイミング図である。電荷転送用MOSトランジスタ $M1'$ 、 $M2'$ 、 $M3'$ のゲートに印加される電圧 $V_{gs}(M1) \sim V_{gs}(M3)$ により、 $M1'$ 、 $M2'$ 、 $M3'$ は交互にオンオフを繰り返す。ここで、クロックパルス $CLK'$ 、 $CLKB'$ はロウ(Low)の期間を短くすることにより、電流の逆流を防止している。なお、図8に各ポンピングノードの電圧波形 $V1$ 、 $V2$ を示した。

【0061】次に本発明の第3の実施形態に係るチャージポンプ回路を説明する。図9はマイナス昇圧を行う3段チャージポンプ回路を示す概略回路図である。この回路の構成は基本的には図1に示したチャージポンプ回路の構成要素の極性を逆転させたものである。すなわち、前段2段の電荷転送用MOSトランジスタ $M1'$ 、 $M2'$ はPチャネル型、後段2段の電荷転送用MOSトランジスタ $M3'$ 、 $M4'$ はNチャネル型で構成している。

【0062】反転レベルシフト回路 $S1'$ の低電位側の電源(電位B)としては、昇圧された1段後のポンピ

12

グノードの電圧 $V2'$ を戻して用いる。同様に反転レベルシフト回路 $S2'$ の低電位側の電源(電位B)は昇圧された1段後のポンピングノードの電圧 $V3'$ を戻して用いる。また、反転レベルシフト回路 $S1'$ 、 $S2'$ の高電位側の電源(電位A)としては、各段の電圧である $V_{ss}$ 、 $V1'$ が夫々印加されている。

【0063】一方、非反転レベルシフト回路 $S3'$ の高電位側の電源(電位A)としては、1段前のポンピングノードの電圧 $V1'$ が用いられ、同様に非反転レベルシフト回路 $S4'$ の高電位側の電源(電位A)としては、1段前のポンピングノードの電圧 $V2'$ が用いられている。また、反転レベルシフト回路 $S3'$ 、 $S4'$ の低電位側の電源(電位B)としては、各段の電圧である $V3'$ 、 $-V_{out}$ が夫々印加されている。

【0064】なお、反転レベルシフト回路 $S1'$ と $S2'$ の構成は図2に示すものと同一であり、非反転レベルシフト回路 $S3'$ と $S4'$ の構成は図3に示すものと同一である。また、このチャージポンプ回路の動作は既に説明したプラス昇圧のチャージポンプ回路の動作と同様に理解できるので詳細な説明は省略する。

【0065】上述の構成によれば、全ての電荷転送用MOSトランジスタ $M1' \sim M4'$ の $V_{gs}$ の絶対値は同一値 $2V_{dd}$ となる。したがって、高い $V_{gs}$ により電荷転送用MOSトランジスタ $M1' \sim M4'$ のオン抵抗が下がり、高効率で大出力電流のマイナス昇圧のチャージポンプ回路が実現できる。また、電荷転送用MOSトランジスタ $M1' \sim M4'$ のゲート酸化膜厚は一律に $2V_{dd}$ に耐える厚みに設計すれば良いので、電荷転送用MOSトランジスタの $V_{gs}$ が不均一である場合に比べて、オン抵抗を低く設計でき効率が良い。

【0066】以上、マイナス昇圧を行う3段チャージポンプ回路について説明したが、その段数は3段に限定されることはない。すなわち、電荷転送用MOSトランジスタとして前段2段をPチャネル型、残りの後段をNチャネル型で構成することにより任意の段数のマイナス昇圧を行うチャージポンプ回路を実現することができる。

【0067】次に本発明の4の実施形態に係るチャージポンプ回路を説明する。図10はマイナス昇圧を行う2段チャージポンプ回路を示す概略回路図である。図6に示した第2の実施形態に係る第2段チャージポンプ回路と異なる点は次の2点である。

- 1) 電荷転送用MOSトランジスタ $M1$ 、 $M2$ 、 $M3$ がすべてNチャネル型である。
- 2) 電荷転送用MOSトランジスタのオン電圧(オン時のゲート電圧)として $V_{dd}$ またはGNDを用いる。すなわち、非反転レベルシフト回路 $S1$ 、 $S2$ 、 $S3$ の高電位側の電源として、それぞれ $V_{dd}$ 、 $V_{dd}$ 、GNDが用いられている。

【0068】そのため、このチャージポンプ回路において、電荷転送MOSトランジスタのオン時の $V_{gs}$ とし

(8)

13

ては、M1については $V_{dd}$ 、M2及びM3については $2V_{dd}$ となる。このように、本実施形態のチャージポンプ回路では、第2の実施形態に係る第2段チャージポンプ回路と異なり、全ての電荷転送MOSトランジスタのオン時の $V_{gs}$ を同一値にすることはできない。

【0069】しかしながら、電荷転送MOSトランジスタを全て同一チャネル型で形成しているので、第2の実施形態に比して製造プロセス(manufacturing process)を簡略化できる利点大きい。具体的には、第2の実施形態ではトリプルウェル構造(triple well structure)が必須であるのに対して、本実施形態によれば、ツインウェル構造(twin well structure)で足りるので、その分製造工数を少なくすることができる。

【0070】

【発明の効果】本発明によれば、電荷転送用MOSトランジスタのゲート・ソース間電圧 $V_{gs}$ として閾値電圧以上の高い電圧を印加できるので、電圧ロスの無い高効率のチャージポンプ回路を提供することができる。

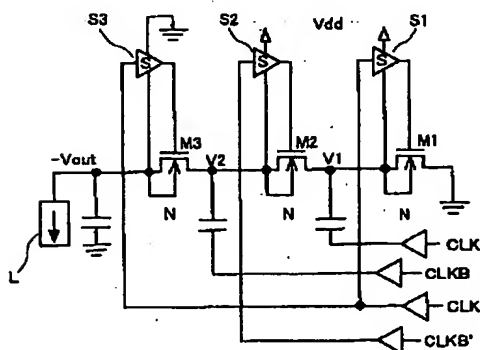
【0071】また、絶対値 $2V_{dd}$ 以上の高いゲート・ソース間電圧 $V_{gs}$ により電荷転送用MOSトランジスタM1～M4のオン抵抗が下がり、高効率で大出力電流のチャージポンプ回路が実現できる。

【0072】さらに、電荷転送用MOSトランジスタのゲート・ソース間電圧、ゲート・基板間電圧を一定電圧(例えば、絶対値で $2V_{dd}$ )に揃えることができるので、ゲート酸化膜厚は一律に絶対値で $2V_{dd}$ に耐える厚みに設計すれば良い。これにより、電荷転送用MOSトランジスタのゲート・ソース間電圧 $V_{gs}$ が不均一である場合に比べて、オン抵抗を低く設計することができる。

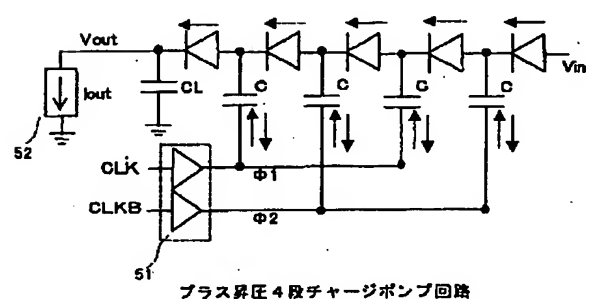
【0073】さらにまた、本発明によれば、プラス昇圧とマイナス昇圧のチャージポンプ回路を提供することができ、しかもそのチャージポンプ段数を任意に設定可能なので、所望の昇圧電圧を得ることが可能となる。

【図面の簡単な説明】

【図10】



【図11】



プラス昇圧4段チャージポンプ回路

【図1】本発明の第1の実施形態に係るチャージポンプ回路を示す概略回路図である。

【図2】反転レベルシフト回路の構成及び動作波形を示す図である。

【図3】非反転レベルシフト回路の構成及び動作波形を示す図である。

【図4】本発明の第1の実施形態に係るチャージポンプ回路の動作を説明するためのタイミング図である。

【図5】本発明の第1の実施形態に係るチャージポンプ回路の各ポンピングノードの電圧波形を示す図である。

【図6】本発明の第2の実施形態に係るチャージポンプ回路を示す概略回路図である。

【図7】本発明の第2の実施形態に係るチャージポンプ回路の動作を説明するためのタイミング図である。

【図8】本発明の第2の実施形態に係るチャージポンプ回路の各ポンピングノードの電圧波形を示す図である。

【図9】本発明の第3の実施形態に係るチャージポンプ回路を示す概略回路図である。

【図10】本発明の第4の実施形態に係るチャージポンプ回路を示す概略回路図である。

【図11】従来例に係るチャージポンプ回路を示す回路図である。

【図12】従来例に係るチャージポンプ回路を示す回路図である。

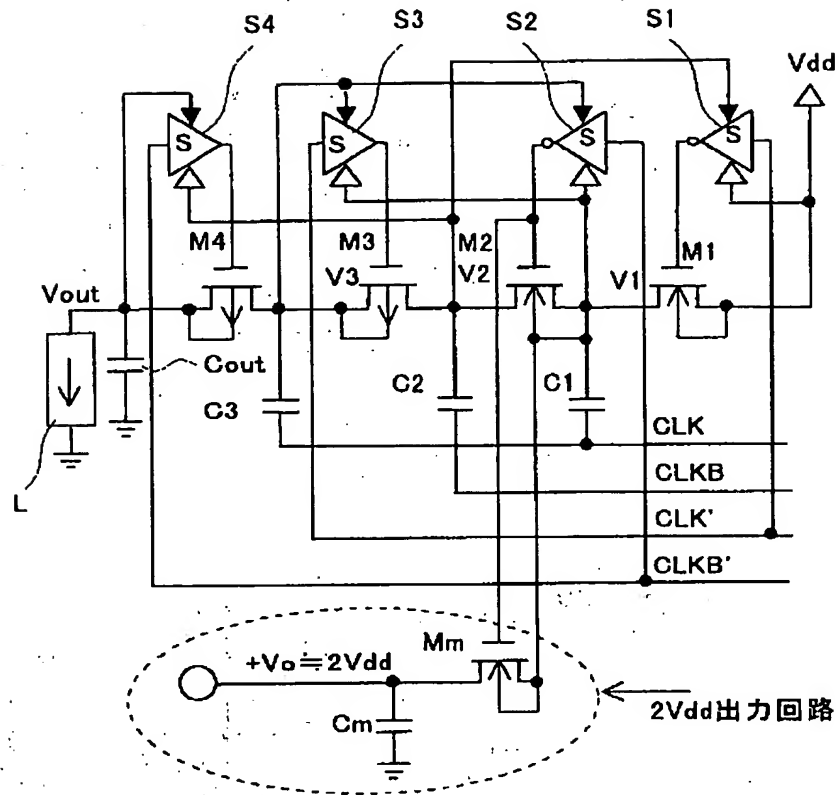
【図13】従来例に係るチャージポンプ回路を示す回路図である。

【符号の説明】

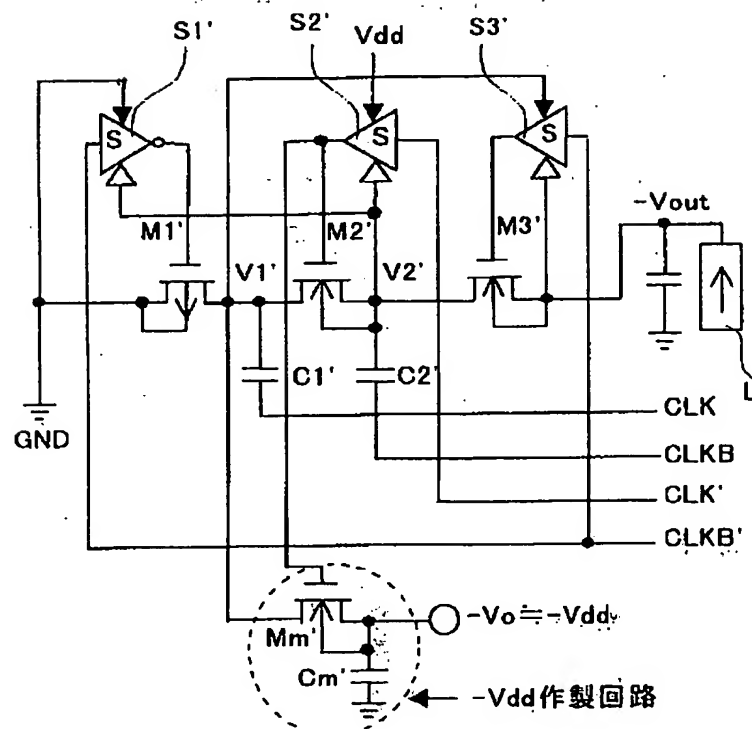
M1～M4	電荷転送用MOSトランジスタ
C1～C3	結合コンデンサ
Cout	出力コンデンサ
L	電流負荷
S1、S2	反転レベルシフト回路
S3、S4	非反転レベルシフト回路
CLK、CLKB	クロックパルス

(9)

【図 1】

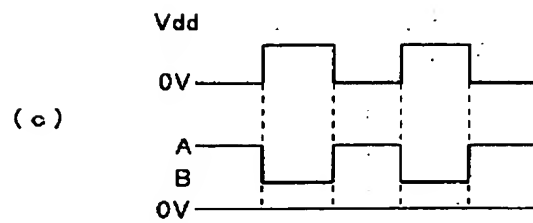
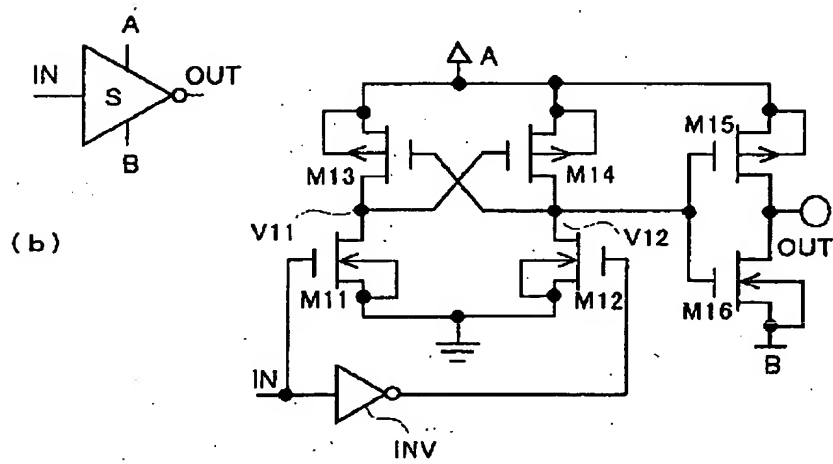
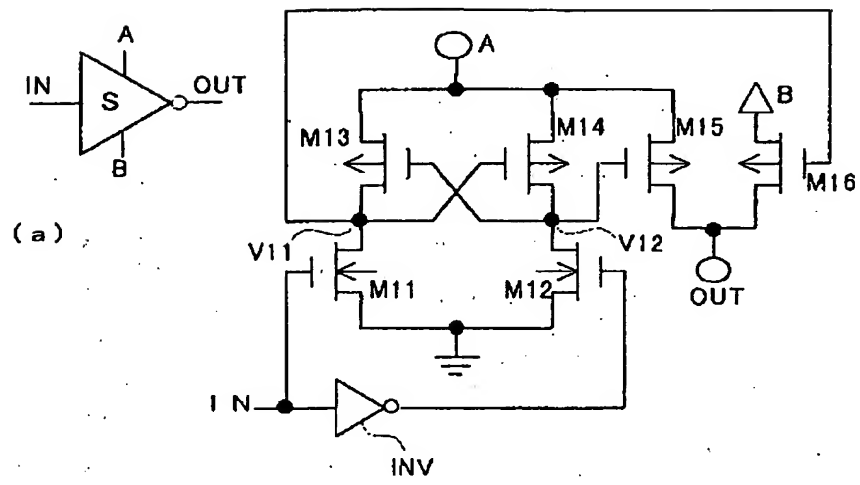


【図 6】



(10)

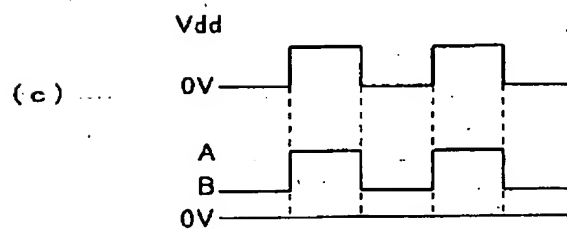
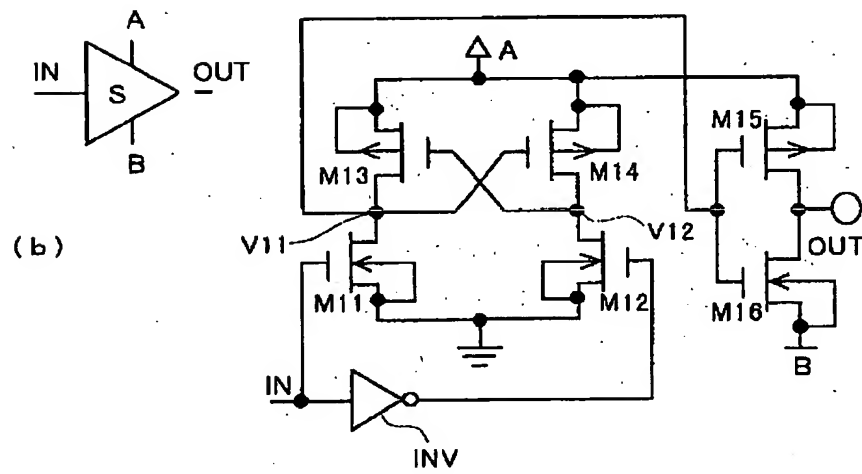
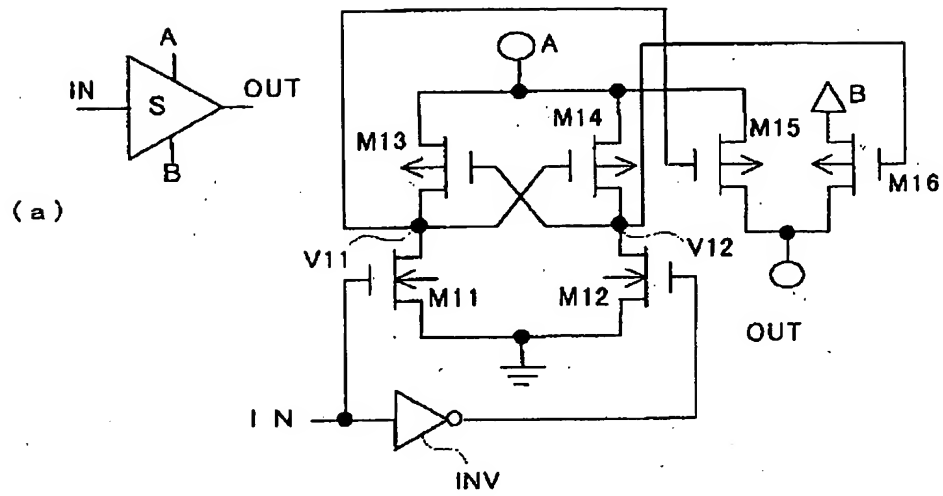
【図2】





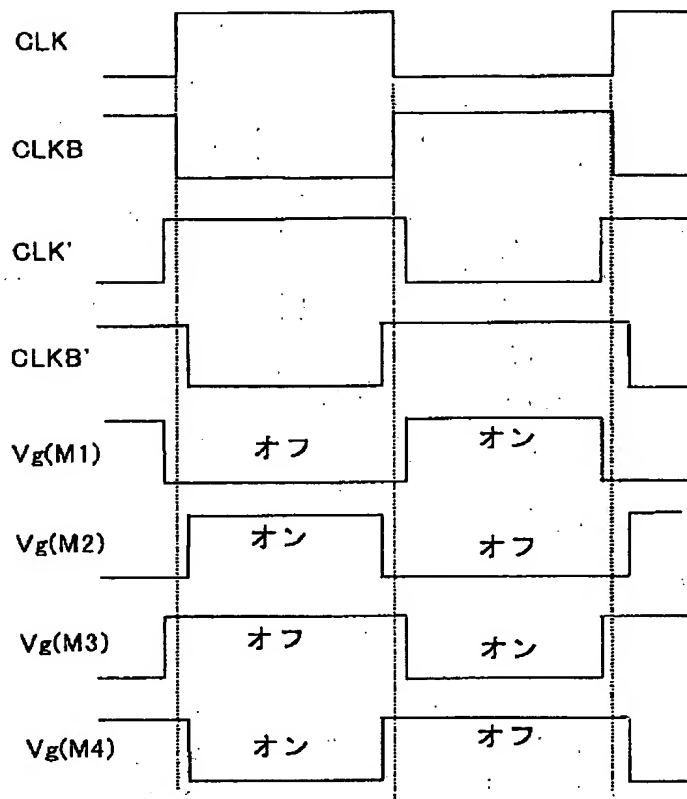
(11)

【図3】



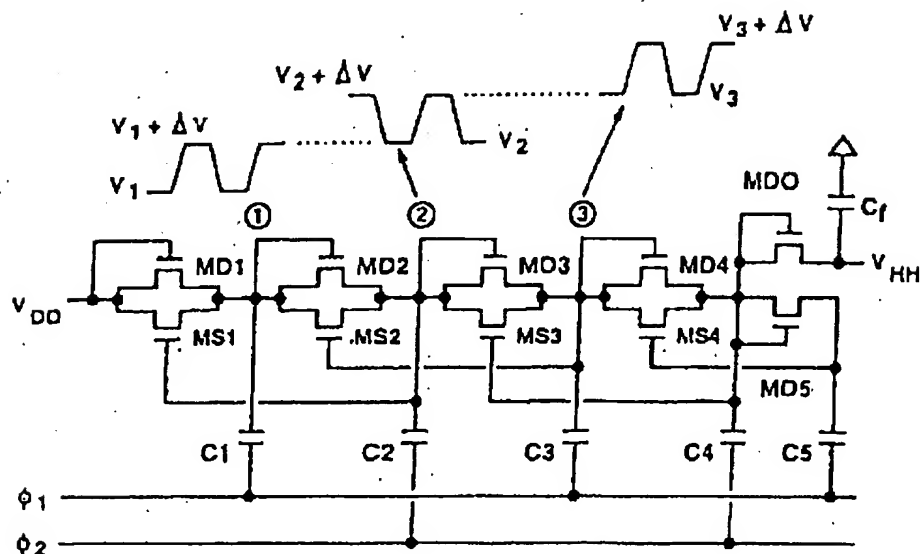
(12)

【図4】



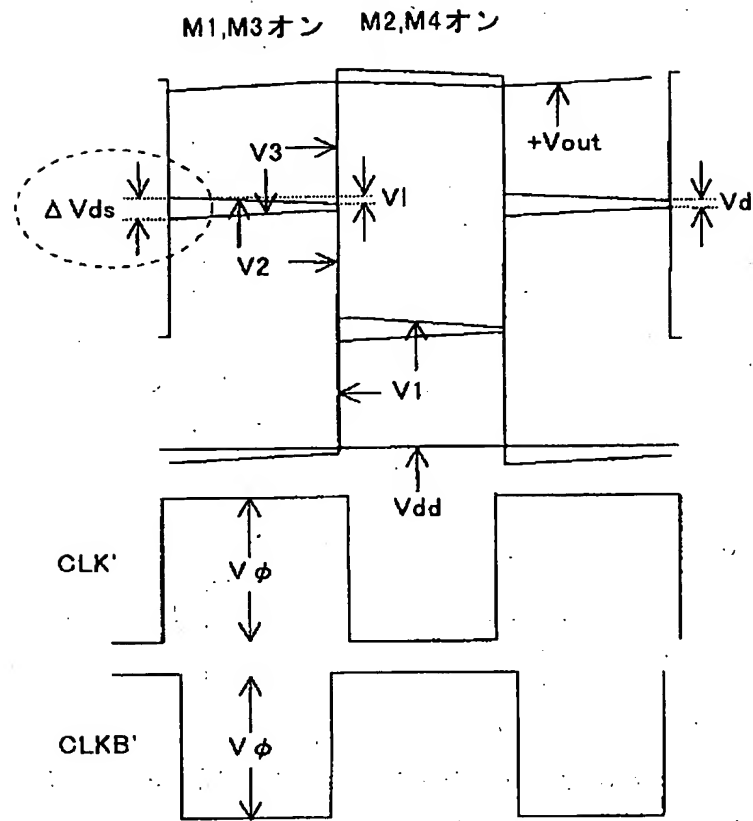
プラス昇圧チャージポンプ回路の各電荷転送MOSFETのゲートに印加される信号のタイミング

【図12】



(13)

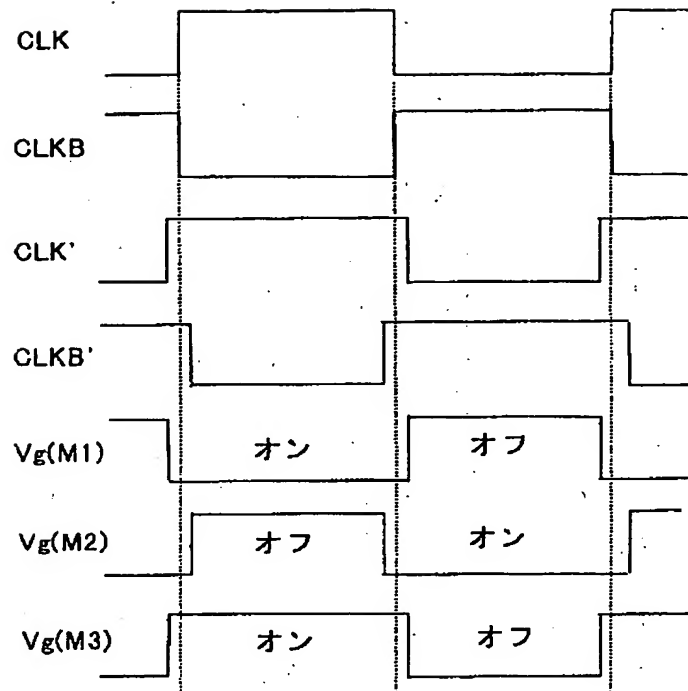
【図5】



プラス3段昇圧チャージポンプ回路の各ノードの電圧波形

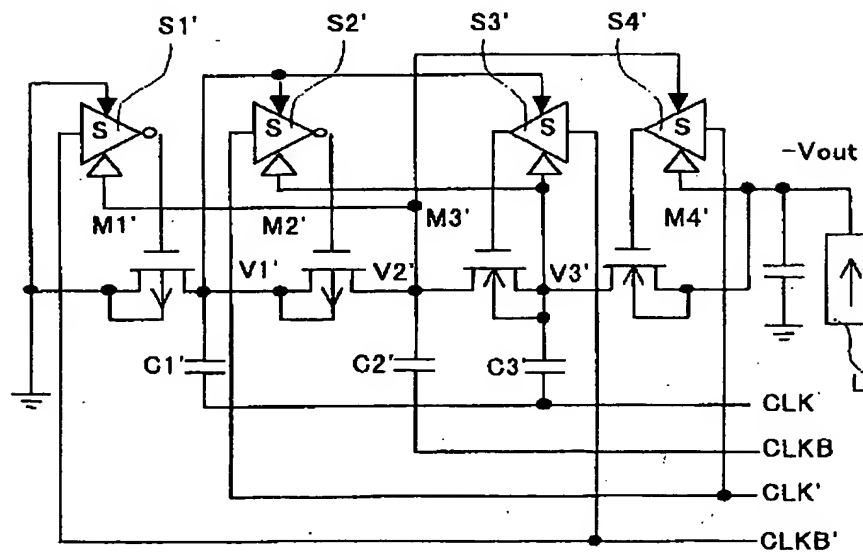
(14)

【図7】



マイナス昇圧チャージポンプ回路の各電荷転送MOSFETの $V_g$ 信号のタイミング

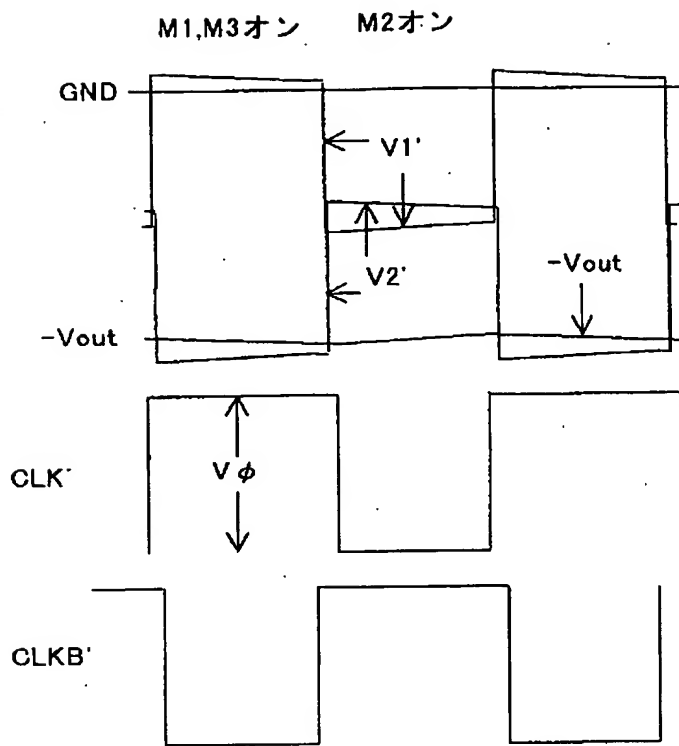
【図9】



マイナス3段昇圧チャージポンプ回路

(15)

【図8】



マイナス2段昇圧チャージポンプ回路の各ノード  
の電圧波形の概念図

【図13】

